

PATENT COOPERATION TREATY

31

PCT

NOTIFICATION OF THE RECORDING
OF A CHANGE

(PCT Rule 92bis.1 and
Administrative Instructions, Section 422)

From the INTERNATIONAL BUREAU

To:

MIYOSHI, Hidekazu
Toranomon Kotohira Tower
2-8, Toranomon 1-chome
Minato-ku, Tokyo 105-0001
Japan

Date of mailing (day/month/year) 07 April 2005 (07.04.2005)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference JSNK-36-PCT	
International application No. PCT/JP2004/007902	International filing date (day/month/year) 01 June 2004 (01.06.2004)

1. The following indications appeared on record concerning:									
<input type="checkbox"/> the applicant	<input type="checkbox"/> the inventor <input checked="" type="checkbox"/> the agent <input type="checkbox"/> the common representative								
Name and Address MIYOSHI, Hidekazu 9th Floor, Toranomon Daiichi Building 2-3, Toranomon 1-chome Minato-ku Tokyo 105-0001	<table border="1"> <tr> <td>State of Nationality</td> <td>State of Residence</td> </tr> <tr> <td colspan="2">Telephone No.</td> </tr> <tr> <td colspan="2">Facsimile No.</td> </tr> <tr> <td colspan="2">Teleprinter No.</td> </tr> </table>	State of Nationality	State of Residence	Telephone No.		Facsimile No.		Teleprinter No.	
State of Nationality	State of Residence								
Telephone No.									
Facsimile No.									
Teleprinter No.									
2. The International Bureau hereby notifies the applicant that the following change has been recorded concerning:									
<input type="checkbox"/> the person <input type="checkbox"/> the name <input checked="" type="checkbox"/> the address <input type="checkbox"/> the nationality <input type="checkbox"/> the residence									
Name and Address MIYOSHI, Hidekazu Toranomon Kotohira Tower 2-8, Toranomon 1-chome Minato-ku Tokyo 105-0001 TEAM 14 12 04 2005	<table border="1"> <tr> <td>State of Nationality</td> <td>State of Residence</td> </tr> <tr> <td colspan="2">Telephone No.</td> </tr> <tr> <td colspan="2">Facsimile No.</td> </tr> <tr> <td colspan="2">Teleprinter No.</td> </tr> </table>	State of Nationality	State of Residence	Telephone No.		Facsimile No.		Teleprinter No.	
State of Nationality	State of Residence								
Telephone No.									
Facsimile No.									
Teleprinter No.									
3. Further observations, if necessary:									
4. A copy of this notification has been sent to:									
<input checked="" type="checkbox"/> the receiving Office	<input checked="" type="checkbox"/> the designated Offices concerned								
<input type="checkbox"/> the International Searching Authority	<input type="checkbox"/> the elected Offices concerned								
<input type="checkbox"/> the International Preliminary Examining Authority	<input type="checkbox"/> other:								

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 338.90.90	Authorized officer Peggy Steunenberg Telephone No. (41-22) 338 9482
--	---

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年2月3日 (03.02.2005)

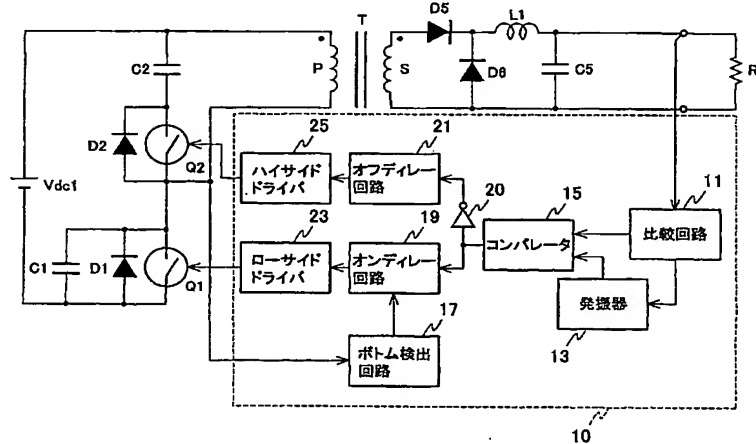
PCT

(10) 国際公開番号
WO 2005/011094 A1

- (51) 国際特許分類⁷: H02M 3/28 (74) 代理人: 三好 秀和 (MIYOSHI, Hidekazu); 〒1050001 東京都港区虎ノ門1丁目2番3号虎ノ門第一ビル 9階 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2004/007902
- (22) 国際出願日: 2004年6月1日 (01.06.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-279179 2003年7月24日 (24.07.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野3丁目6番3号 Saitama (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 麻生 真司 (ASO, Shinji) [JP/JP].
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, [続葉有]

(54) Title: DC CONVERTER

(54) 発明の名称: 直流変換装置



11...COMPARISON CIRCUIT
13...OSCILLATOR
15...COMPARATOR
17...BOTTOM DETECTING CIRCUIT

19...ON DELAY CIRCUIT
21...OFF DELAY CIRCUIT
23...LOW SIDE DRIVER
25...HIGH SIDE DRIVER

(57) Abstract: A DC converter capable of reducing power consumption under a small load by reducing switching loss of a main switch. The DC converter comprises: a first series circuit connected across a DC power supply Vdc1 and having the primary winding P of a transformer T and the main switch Q1 connected in series; a second series circuit connected across the primary winding P of the transformer T and having an auxiliary switch Q2 and a snubber capacitor C2 connected in series; rectifying/smoothing circuits D5, D6, L1 and C5 for rectifying/smoothing a voltage induced in the secondary winding S of the transformer T by energy supplied from the primary winding P of the transformer T when the main switch Q1 is turned on; and a control circuit (10) for alternately turning the main switch Q1 and the auxiliary switch Q2 on/off with a signal having a specified switching frequency. The control circuit (10) lowers the switching frequency under a small load.

[続葉有]



CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF,
BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN,
TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 主スイッチのスイッチング損失を低減することにより、軽負荷時の消費電力を低減することができる直流変換装置を提供する。直流電源V_{dc1}の両端に接続され、トランスTの1次巻線Pと主スイッチQ₁とが直列に接続された第1直列回路と、トランスTの1次巻線Pの両端に接続され、補助スイッチQ₂とスナバコンデンサC₂とが直列に接続された第2直列回路と、主スイッチQ₂がオン時にトランスTの1次巻線Pから供給されたエネルギーによりトランスTの2次巻線Sに発生した電圧を整流平滑する整流平滑回路D₅、D₆、L₁、C₅と、主スイッチQ₁と補助スイッチQ₂とを所定のスイッチング周波数を持つ信号により交互にオン/オフさせる制御回路10とを備え、制御回路10は、軽負荷時にスイッチング周波数を低下させる。

明細書

直流変換装置

5

技術分野

本発明は、高効率、低ノイズな直流変換装置に関するものである。

背景技術

図1に従来のこの種の直流変換装置の回路構成図を示す（原田耕介著「スイッチング電源 ハンドブック」日刊工業新聞社出版、第2章スイッチング電源の基本回路と設計演習 p. 27 図2. 2、清水和男著「高速スイッチングレギュレータ」総合電子出版社、2. 2. 1他励型コンバータ p 30 図2. 5）。図1に示す直流変換装置において、直流電源 V_{dc1} にトランス T の1次巻線 P （巻数 n_1 ）を介してMOSFET等からなる主スイッチ Q_1 が接続され、1次巻線 P の両端には、抵抗 R_2 及びスナバコンデンサ C_2 からなる並列回路とこの並列回路に直列に接続されたダイオード D_2 とが接続されている。主スイッチ Q_1 の両端にはダイオード D_1 が接続されると共に、抵抗 R_1 及びコンデンサ C_1 からなる直列回路が接続されている。主スイッチ Q_1 は、制御回路100のPWM制御によりオン／オフするようになっている。

また、トランス T の1次巻線 P とトランス T の2次巻線 S とは互いに同相電圧が発生するように巻回されており、トランス T の2次巻線 S （巻数 n_2 ）には、ダイオード D_5 、 D_6 とリアクトル L_1 とコンデンサ C_5 とからなる整流平滑回路が接続されている。この整流平滑回路は、トランス T の2次巻線 S に誘起された電圧（オン／オフ制御されたパルス電圧）を整流平滑して直流出力を負荷 R_L に出力する。

制御回路100は、図示しない演算増幅器及びフォトカプラを有し、演算増幅器は、負荷 R_L の出力電圧と基準電圧とを比較し、負荷 R_L の出力電圧が基準電圧以上となったときに、主スイッチ Q_1 に印加されるパルスのオン幅を狭くするように制御する。

すなわち、負荷 R_L の出力電圧が基準電圧以上となったときに、主スイッチ Q_1 のパルスのオン幅を狭くすることで、出力電圧を一定電圧に制御するようになっている。

次に、このように構成された直流変換装置の動作を図2に示すタイミングチャートを参照しながら説明する。なお、図2では、軽負荷時での動作波形を示し、主スイッチ Q_1 の両端間の電圧 $Q_1 v$ 、主スイッチ Q_1 に流れる電流 $Q_1 i$ 、主スイッチ Q_1 をオン／オフ制御するゲート信号 $Q_1 g$ を示している。

まず、時刻 t_{31} において、ゲート信号 $Q_1 g$ により主スイッチ Q_1 がオンすると、 $V_{dc1}' P' Q_1' V_{dc1}$ と主スイッチ Q_1 に電流 $Q_1 i$ が流れる。この電流は、時刻 t_{32} まで時間の経過とともに直線的に増大していく。また、時刻 t_{31} から時刻 t_{32} では、1次巻線 P の主スイッチ Q_1 側が一侧になり、且つ1次巻線 P と2次巻線 S とは同相になっているので、ダイオード D_5 のアノード側が+側になるため、 $S' D_5' L_1' C_5' S$ と電流が流れて、2次側にエネルギーが伝達される。

次に、時刻 t_{32} において、ゲート信号 $Q_1 g$ により主スイッチ Q_1 がオフすると、トランス T の1次巻線 P に誘起された励磁エネルギーとリーケージインダクタ L_g （2次巻線 S と結合していないインダクタンス）の励磁エネルギーは、コンデンサ C_1 を充電させる。そして、コンデンサ C_1 の電圧とスナバコンデンサ C_2 の電圧とが等しくなったときダイオード D_2 がオンし、そのエネルギーはスナバコンデンサ C_2 に蓄えられる。スナバコンデンサ C_2 に蓄えられたエネルギーは、抵抗 R_2 によって損失される。

また、軽負荷時には、リアクトル L_1 の電流がカットオフしているので、トランス T の1次巻線 P に蓄えられたエネルギーの放出が終了すると、トランス T の1次巻線 P のインダクタンスとコンデンサ C_1 とにより共振して、主スイッチ Q_1 の電圧 $Q_1 v$ は図2に示すように振動する。

25 発明の開示

しかしながら、図1に示す直流変換装置では、軽負荷時に、主スイッチを少ないス

スイッチング損失で動作させるためには、主スイッチの電圧の谷（ボトム）でオンさせる必要があるが、そのための制御回路が複雑になるという課題を有していた。

本発明は、主スイッチのスイッチング損失を低減することにより、軽負荷時の消費電力を低減することができる直流変換装置を提供することにある。

- 5 本発明は前記課題を解決するために以下の構成とした。請求項1の発明は、直流電源の両端に接続され、トランスの1次巻線と主スイッチとが直列に接続された第1直列回路と、前記主スイッチの両端又は前記トランスの1次巻線の両端に接続され、補助スイッチとコンデンサとが直列に接続された第2直列回路と、前記主スイッチがオン時に前記トランスの1次巻線から供給されたエネルギーにより前記トランスの2次
- 10 巻線に発生した電圧を整流素子及び平滑素子で整流平滑する整流平滑回路と、前記主スイッチと前記補助スイッチとを所定のスイッチング周波数を持つ信号により交互にオン／オフさせる制御回路とを備え、前記制御回路は、軽負荷時に前記スイッチング周波数を低下させることを特徴とする。

- 請求項2の発明では、請求項1記載の直流変換装置において、前記制御回路は、前
- 15 記補助スイッチがオフした後に前記主スイッチの最小電圧を検出するボトム検出手段と、このボトム検出手段の出力に基づき前記主スイッチの最小電圧の時刻で前記主スイッチをオンさせる制御信号を生成する制御信号生成手段とを備えることを特徴とする。

- 請求項3の発明では、請求項1又は請求項2記載の直流変換装置において、前記制
- 20 御回路は、さらに軽負荷時には、前記スイッチング周波数がさらに低下したバーストモードに移行させることを特徴とする。

- 請求項4の発明では、請求項2記載の直流変換装置において、前記制御回路は、前記平滑素子の出力電圧と基準電圧との誤差からなる誤差電圧信号を生成する誤差電圧生成手段と、この誤差電圧生成手段で生成された前記誤差電圧信号の値が第1のしき
- 25 い値に達したときに前記誤差電圧信号の値に応じて前記スイッチング周波数を低下させる周波数制御信号を生成する周波数制御手段と、前記出力電圧に基づきパルス幅を

制御し且つ前記周波数制御手段で生成された前記周波数制御信号に応じて前記スイッチング周波数を低下させたパルス信号を生成するパルス幅制御手段とを備え、前記制御信号生成手段は、前記パルス幅制御手段からのパルス信号と前記ボトム検出手段の出力とに基づき前記制御信号を生成することを特徴とする。

- 5 請求項 5 の発明では、請求項 4 記載の直流変換装置において、前記周波数制御手段は、前記誤差電圧生成手段で生成された前記誤差電圧信号の値が前記第 1 のしきい値よりも小さい第 2 のしきい値に達したときに前記スイッチング周波数がさらに低下したバーストモードに移行させることを特徴とする。

- 10 請求項 6 の発明では、請求項 1 乃至請求項 5 のいずれか 1 項記載の直流変換装置において、前記トランスの 1 次巻線と前記主スイッチとの間に接続されたリアクトルと、前記トランスに直列に接続され、前記主スイッチがオン時に前記リアクトルに蓄えられたエネルギーを前記主スイッチがオフ時に 2 次側に還流させる補助トランスとを備えることを特徴とする。

- 15 請求項 7 の発明では、請求項 6 記載の直流変換装置において、前記リアクトルは、前記トランスのコアに疎結合させて巻回された前記トランスの 1 次巻線及び 2 次巻線間のリーケージインダクタからなり、前記トランスのコアには前記トランスの 1 次巻線と前記補助トランスの 2 次巻線とが密結合させて巻回されてなることを特徴とする。

図面の簡単な説明

- 20 図 1 は、従来の直流変換装置を示す回路構成図である。

図 2 は、従来の直流変換装置の軽負荷時での各部における信号のタイミングチャートである。

図 3 は、第 1 の実施の形態に係る直流変換装置を示す回路構成図である。

- 25 図 4 は、第 1 の実施の形態に係る直流変換装置に設けられた制御回路の具体的な回路構成図である。

図 5 は、軽負荷時にフィードバック信号が低下したときにおけるパルス信号のディ

ーティが小さくなる様子を示す図である。

図 6 は、フィードバック信号の電圧に応じて周波数を変化させる発振器の特性を示す図である。

図 7 は、軽負荷時に負荷率に応じて周波数を低下させたパルス信号のタイミングチャートである。

図 8 は、軽負荷時に負荷率に応じて周波数を変化させる特性を示す図である。

図 9 は、第 1 の実施の形態に係る直流変換装置の軽負荷時での各部における信号のタイミングチャートである。

図 10 は、負荷率に応じてスイッチング周波数を変化させる第 2 の例を示す図である。

図 11 は、負荷率に応じてスイッチング周波数を変化させる第 2 の例のバーストを示す図である。

図 12 は、第 2 の実施の形態に係る直流変換装置を示す回路構成図である。

図 13 は、第 2 の実施の形態に係る直流変換装置の軽負荷時での各部における信号のタイミングチャートである。

図 14 は、第 2 の実施の形態に係る直流変換装置に設けられたトランスの構造図である。

発明を実施するための最良の形態

以下、本発明に係る直流変換装置の実施の形態を図面を参照して詳細に説明する。実施の形態に係る直流変換装置は、主スイッチがオン時にトランスの 1 次側から 2 次側にエネルギーを供給するフォワード制御方式において、補助スイッチ及びスナバコンデンサからなるアクティブクランプ回路を設けると共に、軽負荷時に主スイッチのスイッチング周波数を低下させることにより、主スイッチのスイッチング損失を低減して、軽負荷時の消費電力を低減することを特徴とする。また、補助スイッチをオフした後に主スイッチの電圧の最小電圧（ボトム）を検出し、そのボトムで主スイッチ

をオンすることにより、スイッチング損失を低減することを特徴とする。

(第1の実施の形態)

図3は第1の実施の形態に係る直流変換装置の回路構成図である。図3に示す直流
5 変換装置において、アクティブクランプ方式と呼ばれるもので、直流電源 V_{dc1} に
トランスTの1次巻線P(巻数 n_1)を介してMOSFET等からなる主スイッチQ
1が接続され、1次巻線Pの両端には、MOSFET等からなる補助スイッチQ2と
スナバコンデンサC2とからなる直列回路が接続されている。なお、補助スイッチQ
2とスナバコンデンサC2とからなる直列回路は、1次巻線Pの両端に接続する代わ
10 りに、主スイッチQ1の両端に接続しても良い。

主スイッチQ1の両端には、ダイオードD1とコンデンサC1とからなる並列回路
が接続されている。補助スイッチQ2の両端にはダイオードD2が接続されている。
ダイオードD1は、主スイッチQ1の寄生ダイオードであっても良く、ダイオードD
2は、補助スイッチQ2の寄生ダイオードであっても良い。また、コンデンサC1は、
15 主スイッチQ1の寄生コンデンサであっても良い。主スイッチQ1及び補助スイッチ
Q2は、制御回路10のPWM制御により交互にオン/オフするようになっている。

また、トランスTの1次巻線PとトランスTの2次巻線Sとは互いに同相電圧が発
生するように巻回されており、トランスTの2次巻線S(巻数 n_2)には、ダイオー
ドD5、D6とリアクトルL1とコンデンサC5とからなる整流平滑回路が接続され
20 ている。この整流平滑回路は、トランスTの2次巻線Sに誘起された電圧(オン/オ
フ制御されたパルス電圧)を整流平滑して直流出力を負荷RLに出力する。

制御回路10は、負荷RLの出力電圧に基づき、主スイッチQ1をオン/オフ制御
するためのパルスからなる制御信号を生成するとともに、出力電圧が所定の電圧とな
るようにその制御信号のデューティ比を制御する。

25 制御回路10は、比較回路11、発振器13、コンパレータ15、ボトム検出回路
17、オンディレー回路19、インバータ20、オフディレー回路21、ローサイド

ドライバ23、ハイサイドドライバ25を備えている。図4は制御回路の具体的な回路構成図を示し、この具体的な回路構成については後述する。

比較回路11（本発明の誤差電圧生成手段に対応）は、コンデンサC5の電圧と基準電圧との誤差からなる誤差電圧信号を生成してこの誤差電圧信号をフィードバック信号FBとしてコンパレータ15に出力する。また、比較回路11は、フィードバック信号FBが第1のしきい値以下になった場合に軽負荷であると判定して、例えばHレベルを発振器13に出力する。

発振器13（本発明の周波数制御手段に対応）は、フィードバック信号FBが第1のしきい値以下になった場合に、即ち、軽負荷である場合に、比較回路11からの誤差電圧信号の電圧値に応じてスイッチング周波数を低下させた三角波信号（本発明の周波数制御信号に対応）を生成する。

コンパレータ15（本発明のパルス幅制御手段に対応）は、発振器13からの三角波信号と比較回路11からのフィードバック信号FBとを入力し、フィードバック信号FBの値が三角波信号の値以上のときにオンで、フィードバック信号FBの値が三角波信号の値未満のときにオフとなるパルス信号を生成し、該パルス信号をオンディレー回路19及びインバータ20に出力する。

ボトム検出回路17は、補助スイッチQ2がオフした後に主スイッチQ1の最小電圧（以下、ボトム検出信号と称する。）を検出する。オンディレー回路19は、ボトム検出回路17からのボトム検出信号とコンパレータ15からのパルス信号とに基づき主スイッチQ1の最小電圧の時刻で主スイッチQ1をオンさせるためのオンディレー信号を生成する。ローサイドドライバ23は、オンディレー回路19からのオンディレー信号を主スイッチQ1のゲートに印加して主スイッチQ1を駆動する。

インバータ20は、コンパレータ15からのパルス信号を反転してオフディレー回路21に出力する。オフディレー回路21は、インバータ20で反転したパルス信号を所定時間だけ遅延させたオフディレー信号を生成してハイサイドドライバ25に出力する。ハイサイドドライバ25は、オフディレー回路21からのオフディレー信号

を補助スイッチQ 2のゲートに印加して補助スイッチQ 2を駆動する。

次に、このように構成された第1の実施の形態に係る直流変換装置の動作を図9に示すタイミングチャートを参照しながら説明する。なお、図9では、軽負荷時での動作波形を示し、主スイッチQ 1の両端間の電圧Q 1 v、主スイッチQ 1に流れる電流Q 1 i、主スイッチQ 1をオン／オフ制御するゲート信号Q 1 g、補助スイッチQ 2の両端間の電圧Q 2 v、補助スイッチQ 2に流れる電流Q 2 i、補助スイッチQ 2をオン／オフ制御するゲート信号Q 2 gを示している。

まず、時刻t 2において、ゲート信号Q 1 gにより主スイッチQ 1がオンすると、V d c 1' P' Q 1' V d c 1と主スイッチQ 1に電流Q 1 iが流れる。この電流Q 1 iは、時刻t 3まで時間の経過とともに直線的に増大していく。また、時刻t 2から時刻t 3では、1次巻線Pの主スイッチQ 1側が一侧になり、且つ1次巻線Pと2次巻線Sとは同相になっているので、ダイオードD 5のアノード側が+側になるため、S' D 5' L 1' C 5' Sと電流が流れて、2次側にエネルギーが伝達される。

次に、時刻t 3において、ゲート信号Q 1 gにより主スイッチQ 1がオフすると、トランスTの1次巻線Pに誘起された励磁エネルギーとリーケージインダクタL gの励磁エネルギーは、コンデンサC 1を充電させる。

そして、コンデンサC 1の電圧とスナバコンデンサC 2の電圧とが等しくなったときに、ダイオードD 2がオンし、そのエネルギーはスナバコンデンサC 2に蓄えられる。即ち、時刻t 3～時刻t 6において、P' D 2' C 2' Pと電流が流れる。このダイオードD 2に電流が流れている間において、補助スイッチQ 2の電圧Q 2 vがゼロとなった時刻t 4後の時刻t 5に補助スイッチQ 2をオンすることで補助スイッチQ 2をゼロ電圧スイッチングさせることができる。

そして、トランスTの1次巻線Pに蓄えられたエネルギーがスナバコンデンサC 2に移動した後も（時刻t 6～時刻t 7）、補助スイッチQ 2がオンしているので、C 2' Q 2' P' C 2と電流Q 2 iが流れ、スナバコンデンサC 2に蓄えられたエネルギーは、トランスTの1次巻線Pに移動する。このとき、トランスTの1次巻線Pの電

圧は、スナバコンデンサC 2の電圧と等しくなり、1次巻線Pの電圧は、スナバコンデンサC 2の電圧に保持される。即ち、補助スイッチQ 2とスナバコンデンサC 2によるアクティブクランプ回路を設けたので、図1に示す従来の直流変換装置の動作で説明したような主スイッチQ 1の電圧の振動は発生しなくなる。

- 5 次に、時刻 t_7 （時刻 t_1 も同じ）において、補助スイッチQ 2をオフすると、1次巻線Pに蓄えられていたエネルギーで $P' - V_{dc1'} - C1' - P$ で電流が流れて、コンデンサC 1（主スイッチQ 1）の電圧が低下していく。このとき、ボトム検出回路1 7により主スイッチQ 1の最小電圧、即ちボトムが検出される。すると、オンディレー回路1 9により、主スイッチQ 1の最小電圧の時刻 t_2 で、主スイッチQ 1をオンさせるためのオンディレー信号であるゲート信号Q 1 gが生成され、このゲート信号Q 1 gにより主スイッチQ 1がオンする。即ち、主スイッチQ 1の電圧のボトムでオンすることで、主スイッチQ 1のスイッチング損失を低減できる（ボトム電圧スイッチング）。
- 10

- 次に、軽負荷時に、スイッチング周波数を低下させる動作について説明する。まず、比較回路1 1は、コンデンサC 5の電圧と基準電圧との誤差からなる誤差電圧信号を生成してこの誤差電圧信号をフィードバック信号FBとしてコンパレータ1 5に出力する。ここで、フォワード制御方式では、軽負荷時には、図5に示すように、フィードバック信号がFB 1からFB 2へ低下していき、パルス信号のオン／オフのデューティが小さくなる。また、比較回路1 1は、フィードバック信号FBが第1のしきい値V 1以下になった場合に、軽負荷時であると判定して、例えばHレベルを発振器1 3に出力する。
- 15
- 20

- 次に、発振器1 3は、フィードバック信号FBが第1のしきい値以下になった場合に、即ち、軽負荷である場合に、比較回路1 1からの誤差電圧信号の電圧値に応じてスイッチング周波数を低下させた三角波信号を生成する。例えば、図6に示すように、フィードバック信号FBの電圧がV 1、V 2のように低下していくに従って、スイッチング周波数を f_1 、 f_2 のように低下させていく。このことは、図8に示すように、
- 25

通常では、スイッチング周波数が例えば100KHzであり、軽負荷時には負荷率に応じてスイッチング周波数を低下させることに相当する。

次に、コンパレータ15は、発振器13からの三角波信号と比較回路11からのフィードバック信号FBとを入力し、図5に示すようにフィードバック信号FBの値が三角波信号の値以上のときにオンで、フィードバック信号FBの値が三角波信号の値未満のときにオフとなるパルス信号を生成し、該パルス信号をオンディレー回路19及びインバータ20に出力する。

図7に示すように、フィードバック信号FBの値がV1の場合には、電圧V1に対応する周波数f1の三角波信号により、周波数f1のパルス信号が生成され、フィードバック信号FBの値が電圧V2の場合には、電圧V2に対応する周波数f2の三角波信号により、周波数f2のパルス信号が生成される。即ち、軽負荷時には、スイッチング周波数を低下するので、さらにスイッチング損失を低減することができる。

また、発振器13において、図10に示すように、スイッチング周波数の下限を可聴周波数よりわずかに高い周波数（例えば20KHz）に設定し、負荷率に応じてこの周波数まで低下した場合には、PWM変調により制御し、さらに、周波数が低下した場合には、バーストモードに移行させる。バーストモードとは、図11に示すように、周波数が例えば50～100Hzで3パルスくらいのバーストが挿入されたものである。このように動作させることにより、可聴周波数でのトランスTのウナリを防止できるとともに、さらなる軽負荷時でのスイッチング損失を低減できる。

（具体的な回路構成）

図4は第1の実施の形態に係る直流変換装置に設けられた制御回路の具体的な回路構成図である。図4に示す比較回路11は、誤差増幅器111と、コンパレータ113とからなる。誤差増幅器111は、コンデンサC5の電圧が一端子に入力され、基準電圧V0が+端子に入力され、コンデンサC5の電圧と基準電圧V0との誤差からなる誤差電圧信号を生成してこの誤差電圧信号をフィードバック信号FBとしてコン

パレータ 15 に出力する。

コンパレータ 113 は、誤差増幅器 111 からのフィードバック信号 F B が一端子に入力され、基準電圧 V 1 が + 端子に入力され、出力端子と電源 V c c との間に抵抗 R 4 が接続され、フィードバック信号 F B が基準電圧 V 1 以下になった場合に軽負荷
5 であると判定して、例えば H レベルを発振器 13 を構成する V C O 131 に出力する。

V C O 131 は、電圧値に応じた周波数を持つ信号を発生する電圧制御発振器であり、コンパレータ 113 から H レベルを入力したとき、即ち、フィードバック信号 F B が基準電圧 V 1 以下になった場合に、誤差増幅器 111 からの誤差電圧信号の電圧値に応じてスイッチング周波数を低下させた三角波信号を生成する。

10 コンパレータ 15 は、誤差増幅器 111 からのフィードバック信号 F B が + 端子に入力され、V C O 131 からの三角波信号が一端子に入力され、フィードバック信号 F B の値が三角波信号の値以上のときにオンで、フィードバック信号 F B の値が三角波信号の値未満のときにオフとなるパルス信号を生成し、該パルス信号をオンディレー回路 19 及びインバータ 20 に出力する。

15 ボトム検出回路 17 において、トランジスタ Q 3 のベースには、ダイオード D 7 のカソードと抵抗 R 5 の一端と抵抗 R 7 の一端とが接続され、トランジスタ Q 3 のエミッタはダイオード D 7 のアノードに接続されると共に接地されている。トランジスタ Q 3 のコレクタには抵抗 R 6 の一端が接続され、抵抗 R 5 の他端及び抵抗 R 6 の他端は、電源 V c c に接続されている。抵抗 R 7 の他端は、コンデンサ C 7 を介して主ス
20 イッチ Q 1 のドレインに接続されている。トランジスタ Q 3 のコレクタは、オンディレー回路 19 のインバータ 191 に接続されている。

オンディレー回路 19 において、コンパレータ 15 の出力は、バッファ 192 を介してダイオード D 8 のカソードに接続され、ダイオード D 8 のアノードはコンデンサ C 8 の一端及び抵抗 R 8 の一端に接続される。コンデンサ C 8 の他端は接地され、抵
25 抗 R 8 の他端は電源 V c c に接続されている。抵抗 R 8 とコンデンサ C 8 との接続点はローサイドドライバ 23 を介して主スイッチ Q 1 のゲートに接続される。インバー

タ 1 9 1 の出力はダイオード D 8 のカソードに接続される。

オフディレー回路 2 1 において、インバータ 2 0 の出力はバッファ 2 1 1 を介してダイオード D 9 のカソードに接続され、ダイオード D 9 のアノードはコンデンサ C 9 の一端及び抵抗 R 9 の一端に接続されている。抵抗 R 9 の他端は電源 V_{cc} に接続され、コンデンサ C 9 の他端は接地されている。抵抗 R 9 とコンデンサ C 9 との接続点
5 はハイサイドドライバ 2 5 を介して補助スイッチ Q 2 のゲートに接続される。

このような具体的な回路によれば、誤差増幅器 1 1 1、コンパレータ 1 1 3、V C O 1 3 1、及びコンパレータ 1 5 を設けたので、図 7 に示すように、フィードバック信号 F B の値が V_1 の場合には、電圧 V_1 に対応する周波数 f_1 の三角波信号により、
10 周波数 f_1 のパルス信号が生成され、フィードバック信号 F B の値が電圧 V_2 の場合には、電圧 V_2 に対応する周波数 f_2 の三角波信号により、周波数 f_2 のパルス信号が生成される。即ち、軽負荷時には、スイッチング周波数を低下するので、さらにスイッチング損失を低減することができる。

次に、図 9 に示す時刻 t_2 において、電圧 Q_{1v} が最小値（ボトム）となると、
15 d_{c1}' P' C 7' R 7' Q 3 又は、 V_{cc}' R 5' Q 3 と電流が流れて、トランジスタ Q 3 がオンする。このため、ボトム検出回路 1 7 により電圧 Q_{1v} の最小値（ボトム）が検出される。このとき、トランジスタ Q 3 のコレクタから L レベルのボトム検出信号がインバータ 1 9 1 に出力され、このボトム検出信号は、インバータ 1 9 1 で反転されて、H レベルがダイオード D 8 のカソードに入力される。

20 このため、ダイオード D 8 がオフして、電源 V_{cc} から抵抗 R 8 を介してコンデンサ C 8 に電流が流れ、コンデンサ C 8 の電圧が上昇する。従って、このコンデンサ C 8 の電圧が、ローサイドドライバ 2 3 に出力され主スイッチ Q 1 のゲートにゲート信号 Q_{1g} が印加されるため、主スイッチ Q 1 がオンする。即ち、主スイッチ Q 1 のボトムでオンさせるので、主スイッチ Q 1 のスイッチング損失を低減することができる
25 （ボトム電圧スイッチング）。

(第2の実施の形態)

次に第2の実施の形態に係る直流変換装置を説明する。第2の実施の形態の直流変換装置では、トランスの1次巻線に直列に接続されるリアクトルのインダクタンスの値を大きくし、主スイッチQ1がオン時にリアクトルに蓄えられるエネルギーを2次側に還流する補助トランスを設けたことを特徴とする。

図12は第2の実施の形態に係る直流変換装置を示す回路構成図である。図12に示す第2の実施の形態に係る直流変換装置は、図3に示す第1の実施の形態に係る直流変換装置に対して、トランスT及びトランスTの周辺回路が異なるので、その部分についてのみ説明する。

この例では、補助トランスをトランスTbに結合したもので、トランスTbに1次巻線P（巻数n1、補助トランスTbの1次巻線を兼用）と2次巻線S1（巻数n2）と3次巻線S2（巻数n3、補助トランスTbの2次巻線に対応）とが巻回されている。1次巻線Pと2次巻線S1とは同相に巻回され、1次巻線Pと3次巻線S2とは逆相に巻回されている。即ち、トランスTbの2次巻線S1を1次巻線Pと疎結合させ、1次巻線P及び2次巻線S1間のリーケージインダクタにより、トランスTbに直列に接続されたリアクトルL2を代用したものである。そして、スイッチQ1がオン時にリアクトルL2に蓄えられたエネルギーをスイッチQ1がオフ時に2次側に還流させるようになっている。

2次巻線S1の一端（-側）と3次巻線S2の一端（-側）とが接続され、その接続点には、ダイオードD5のアノードが接続されている。3次巻線S2の他端（-なし側）にはダイオードD6のアノードが接続され、ダイオードD5のカソードとダイオードD6のカソードとコンデンサC5の一端とが接続されている。コンデンサC5の他端は2次巻線S1の他端（-なし側）に接続されている。

次にこのように構成された第2の実施の形態に係る直流変換装置の動作を図13に示すタイミングチャートを参照しながら説明する。なお、図13では、図9のタイミングチャートにさらに、ダイオードD5、D6に流れる電流D5i、D6iが追加さ

れている。

まず、時刻 t_2 において、主スイッチ Q_1 をオンさせると、 V_{dc1}' P' L_2' Q_1' V_{dc1} で電流が流れる。また、この時刻に、トランス T_b の 2 次巻線 S_1 にも電圧が発生し、 S_1' D_5' C_5' S_1 で電流が流れる。このため、図 13 に示す
5 ように、時刻 $t_2 \sim t_3$ において、ダイオード D_5 の電流が直線的に増大する。

次に、時刻 t_3 において、主スイッチ Q_1 をオフさせると、リアクトル L_2 に蓄えられたエネルギーは、2 次側に還流される。即ち、2 次側では、3 次巻線 S_2 に電圧が誘起されるため、 S_2' D_6' C_5' S_1' S_2 と電流が流れる。このため、図 13 に示すように、時刻 $t_3 \sim t_7$ において、ダイオード D_6 に電流が流れる。

10 このように、第 2 の実施の形態に係る直流変換装置によれば、トランス T_b の 1 次巻線 P に直列に接続されるリアクトル L_2 のインダクタンスの値を大きくし、主スイッチ Q_1 がオン時に蓄えられるエネルギーを 2 次側に還流するため、効率が良くなる。また、ダイオード D_5 及びダイオード D_6 により、主スイッチ Q_1 のオン、オフ期間に 2 次側電流が流れて連続的となる。このため、コンデンサ C_5 のリップル電流も減
15 少する。

次に、補助トランスをトランス T_b に結合したトランスの構成例を図 14 に示す。図 14 に示すトランスは、日の字型のコア 30 を有し、コア 30 のコア部 30a には、1 次巻線 P と 3 次巻線 S_2 とが近接して巻回されている。これにより、1 次及び 3 次巻線間にわずかなリーケージインダクタを持たせ、また、コア 30 にはパスコア 30c とギャップ 31 が形成され、外周コアには 2 次巻線 S_1 が巻回されている。即ち、
20 パスコア 30c により、1 次巻線 P と 2 次巻線 S_1 を疎結合させることにより、リーケージインダクタを大きくしている。このリーケージインダクタをリアクトル L_2 の代替としている。

また、外周コア上で且つ 1 次巻線 P と 2 次巻線 S_1 との間に、凹部 30b が 2 箇所
25 形成されている。この凹部 30b により、外周コアの磁路の一部の断面積が他の部分よりも狭くなり、その部分のみが飽和するので、コア損失を低減できる。

このように、トランスTのコアの形状と巻線の工夫により、トランスTとリアクトルL2のエネルギーを2次側に帰還する補助トランスとを一つのコア30に結合し、パスコア30cを設けることにより、大きなリーケージインダクタを得て、トランス部分とリアクトルとを結合したので、直流変換装置を小型化、低価格化することができる。

5 なお、第1及び第2の実施の形態では、比較回路11は、フィードバック信号FBが第1のしきい値以下になった場合に軽負荷である判定したが、フォワード制御方式では、軽負荷時には、パルス信号のオン／オフのデューティが小さくなるので、比較回路11は、例えば、パルス信号のオン時間が第1の設定時間以下になった場合に軽
10 負荷である判定してもよい。また、コンデンサC5の電圧（出力電圧）が上昇傾向となった場合に、軽負荷であると判定してもよい。

本発明によれば、主スイッチのスイッチング損失を低減することにより、軽負荷時の消費電力を低減することができる直流変換装置を提供することができる。

15 産業上の利用可能性

本発明の直流変換装置は、DC-DC変換型の電源回路やAC-DC変換型の電源回路に適用可能である。

請求の範囲

- 5 1. 直流電源の両端に接続され、トランスの1次巻線と主スイッチとが直列に接続された第1直列回路と、
- 前記主スイッチの両端又は前記トランスの1次巻線の両端に接続され、補助スイッチとコンデンサとが直列に接続された第2直列回路と、
- 前記主スイッチがオン時に前記トランスの1次巻線から供給されたエネルギーにより
10 り前記トランスの2次巻線に発生した電圧を整流素子及び平滑素子で整流平滑する整流平滑回路と、
- 前記主スイッチと前記補助スイッチとを所定のスイッチング周波数を持つ信号により交互にオン／オフさせる制御回路とを備え、
- 前記制御回路は、軽負荷時に前記スイッチング周波数を低下させることを特徴とする
15 る直流変換装置。
2. 前記制御回路は、
- 前記補助スイッチがオフした後に前記主スイッチの最小電圧を検出するボトム検出手段と、
- 20 このボトム検出手段の出力に基づき前記主スイッチの最小電圧の時刻で前記主スイッチをオンさせる制御信号を生成する制御信号生成手段と、
- を備えることを特徴とする請求項1記載の直流変換装置。
3. 前記制御回路は、さらに軽負荷時には、前記スイッチング周波数がさらに低下
25 したバーストモードに移行させることを特徴とする請求項1又は請求項2記載の直流変換装置。

4. 前記制御回路は、

前記平滑素子の出力電圧と基準電圧との誤差からなる誤差電圧信号を生成する誤差電圧生成手段と、

5 この誤差電圧生成手段で生成された前記誤差電圧信号の値が第1のしきい値に達したときに前記誤差電圧信号の値に応じて前記スイッチング周波数を低下させる周波数制御信号を生成する周波数制御手段と、

前記出力電圧に基づきパルス幅を制御し且つ前記周波数制御手段で生成された前記周波数制御信号に応じて前記スイッチング周波数を低下させたパルス信号を生成する

10 パルス幅制御手段とを備え、

前記制御信号生成手段は、前記パルス幅制御手段からのパルス信号と前記ボトム検出手段の出力とに基づき前記制御信号を生成することを特徴とする請求項2記載の直流変換装置。

15 5. 前記周波数制御手段は、前記誤差電圧生成手段で生成された前記誤差電圧信号の値が前記第1のしきい値よりも小さい第2のしきい値に達したときに前記スイッチング周波数がさらに低下したバーストモードに移行させることを特徴とする請求項4記載の直流変換装置。

20 6. 前記トランスの1次巻線と前記主スイッチとの間に接続されたリアクトルと、
前記トランスに直列に接続され、前記主スイッチがオン時に前記リアクトルに蓄えられたエネルギーを前記主スイッチがオフ時に2次側に還流させる補助トランスと、
を備えることを特徴とする請求項1乃至請求項5のいずれか1項記載の直流変換装置。

25 7. 前記リアクトルは、前記トランスのコアに疎結合させて巻回された前記トランスの1次巻線及び2次巻線間のリーケージインダクタからなり、前記トランスのコア

には前記トランスの 1 次巻線と前記補助トランスの 2 次巻線とが密結合させて巻回されてなることを特徴とする請求項 6 記載の直流変換装置。

FIG. 1
PRIOR ART

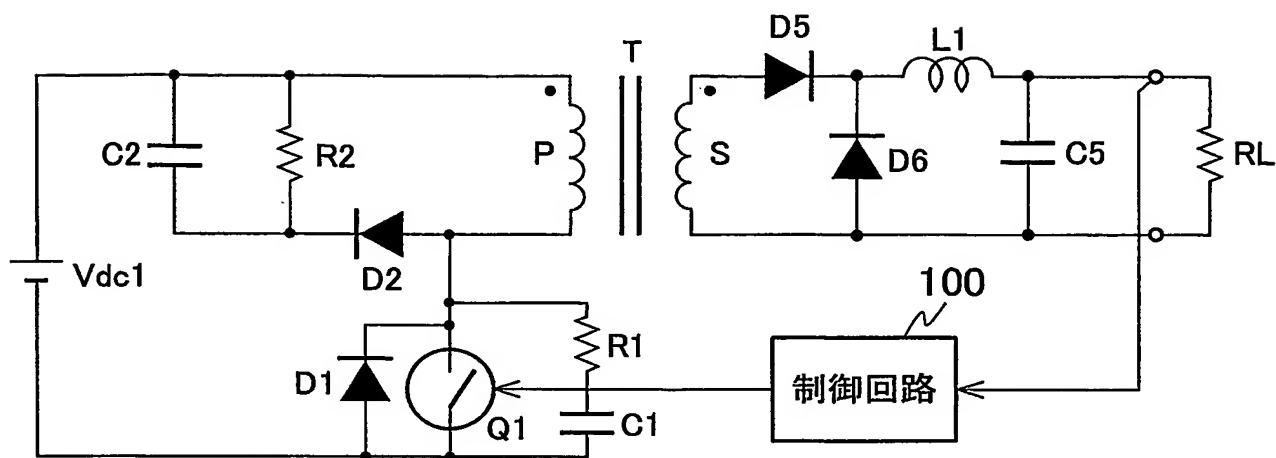


FIG. 2
PRIOR ART

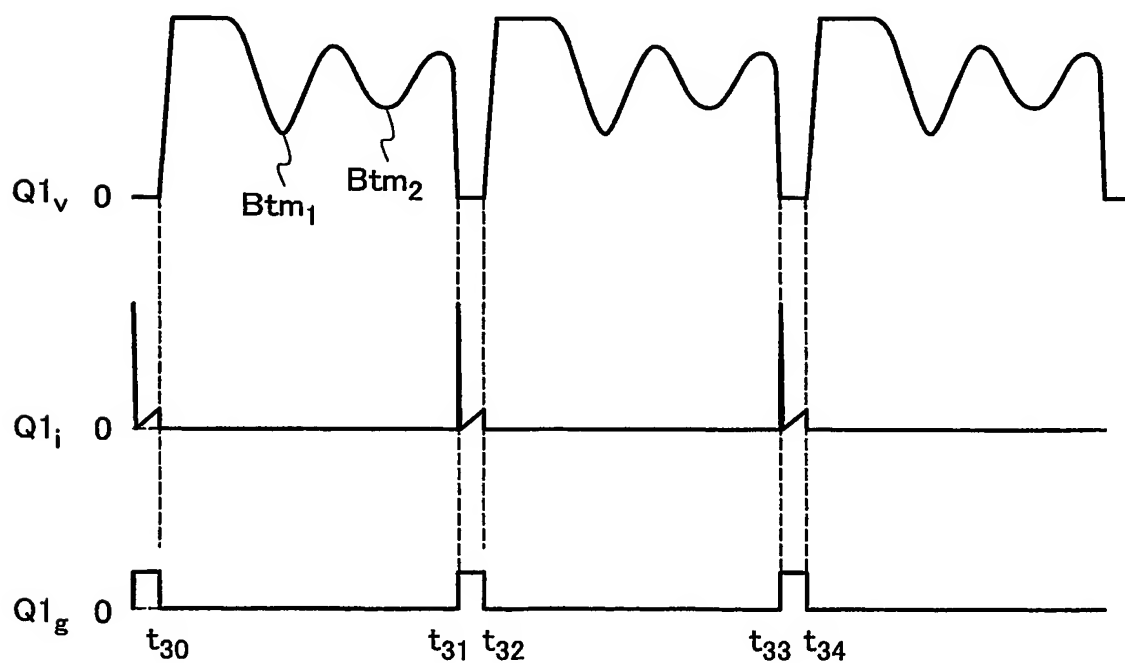


FIG. 3

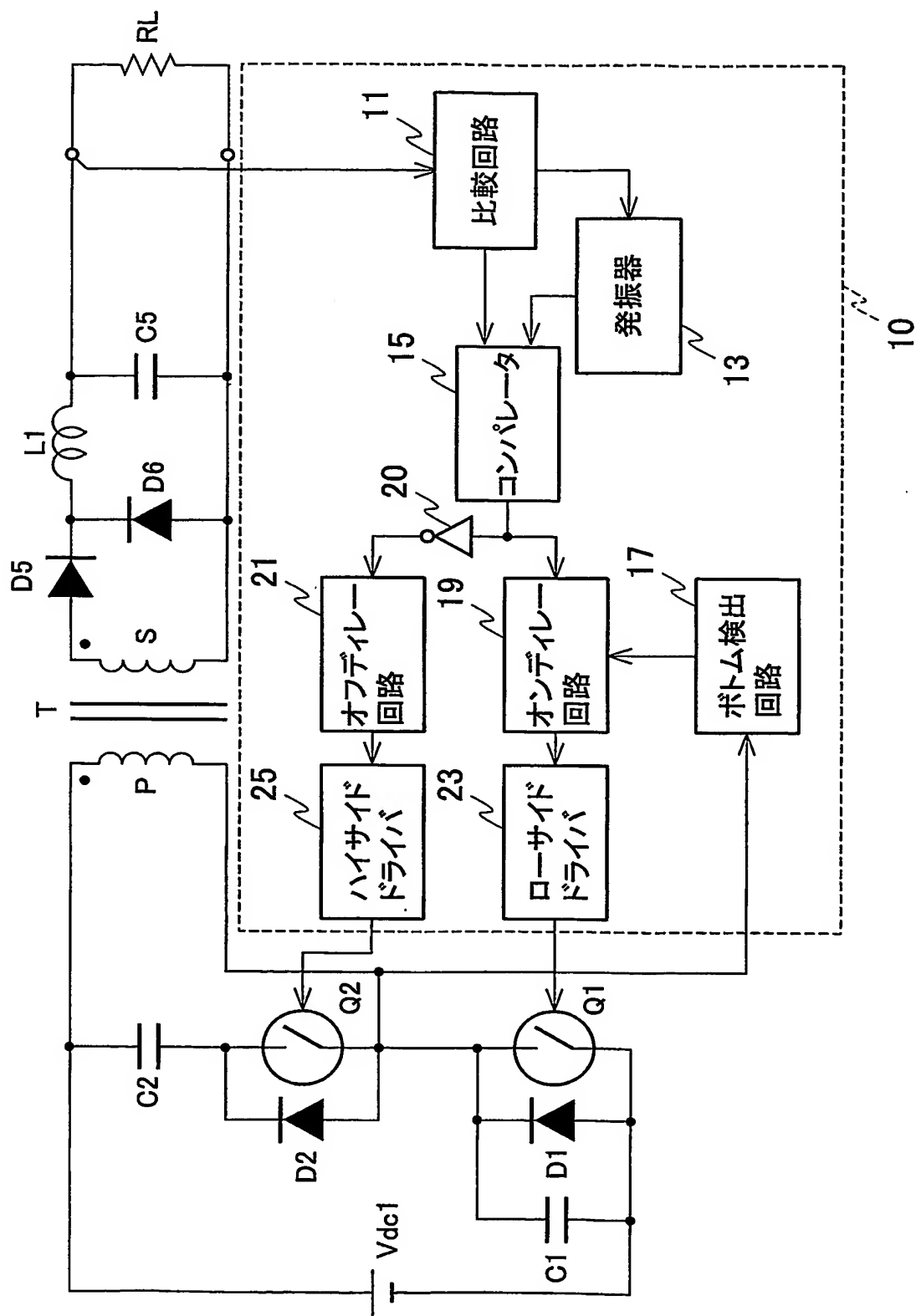


FIG. 4

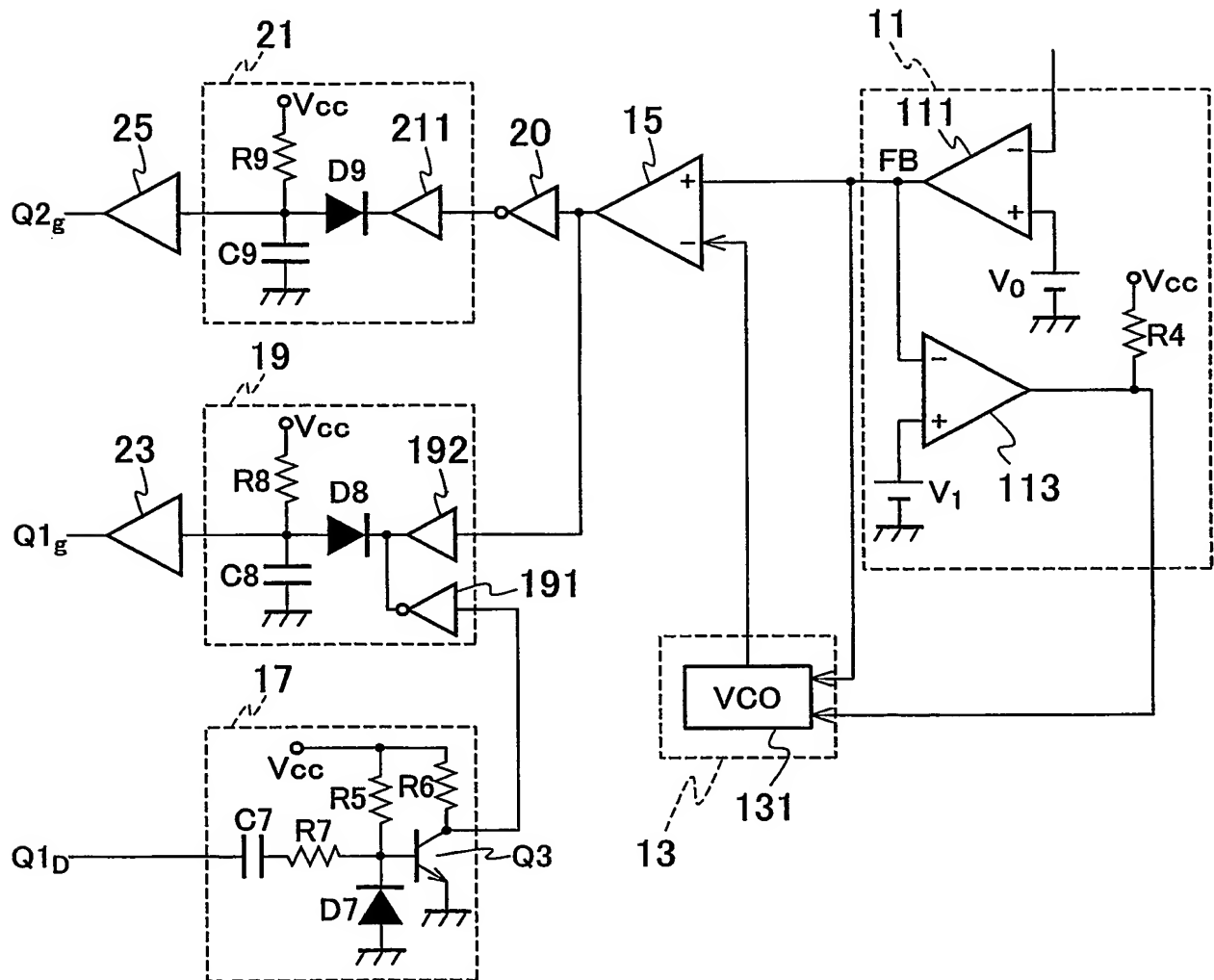


FIG. 5

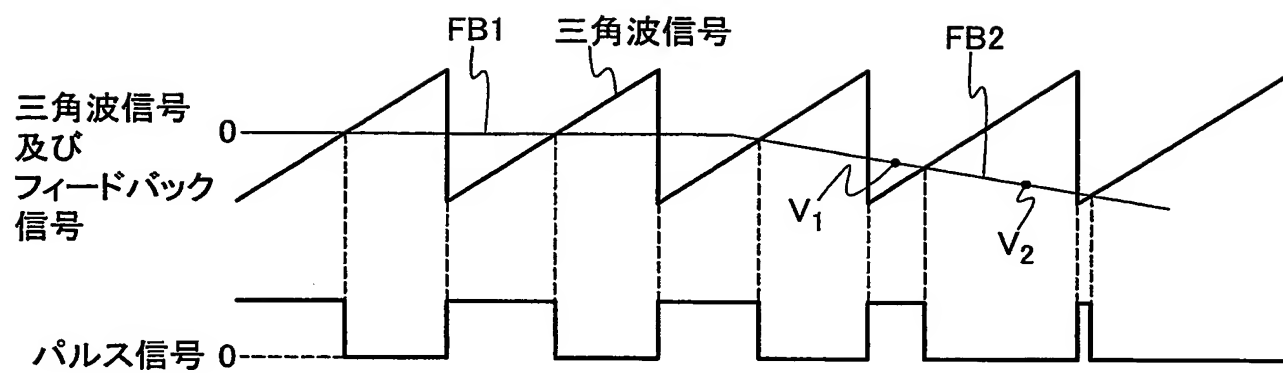
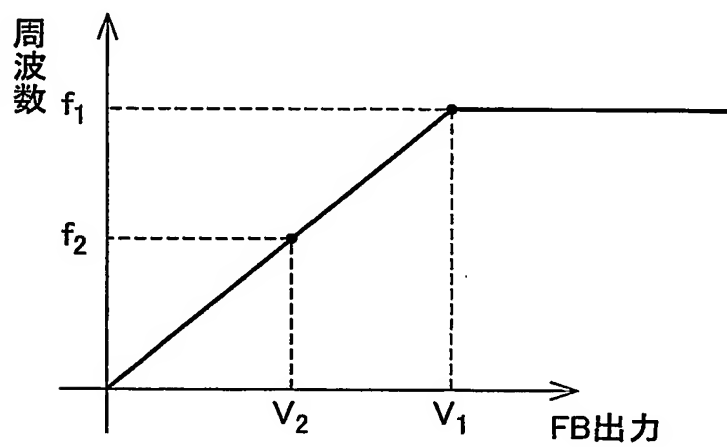


FIG. 6



5/10

FIG. 7

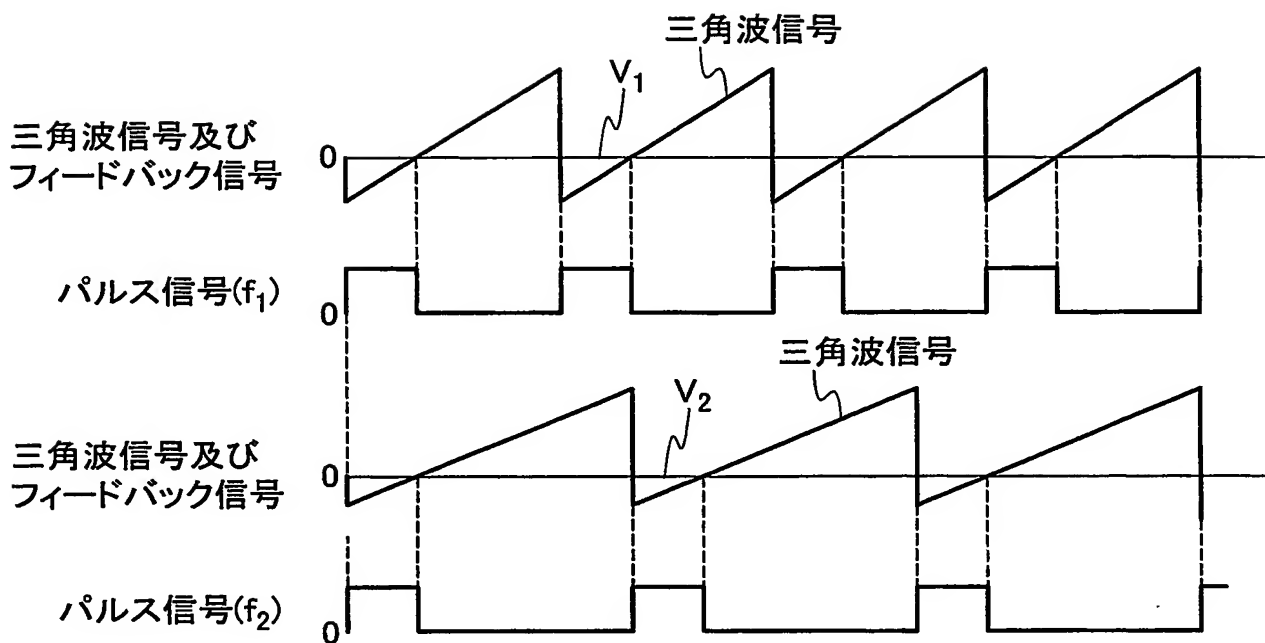


FIG. 8

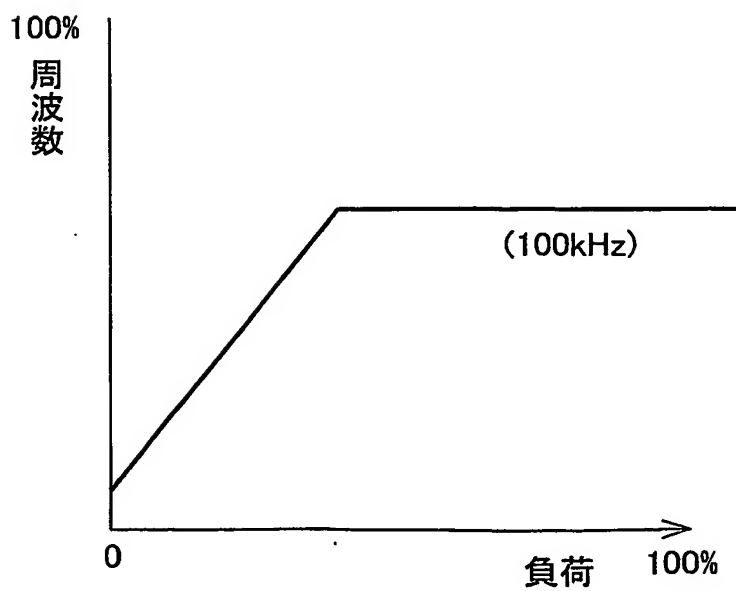


FIG. 9

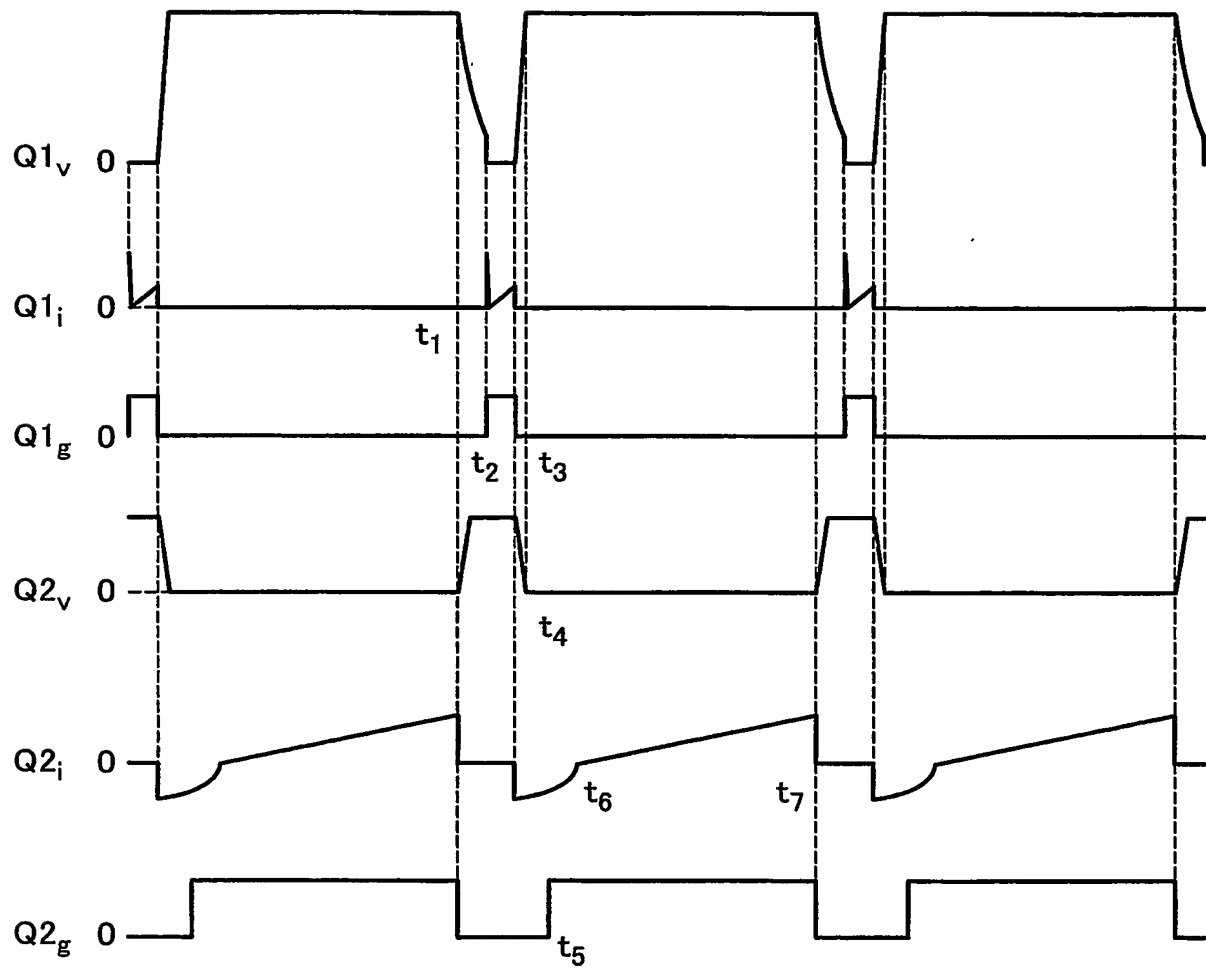


FIG. 10

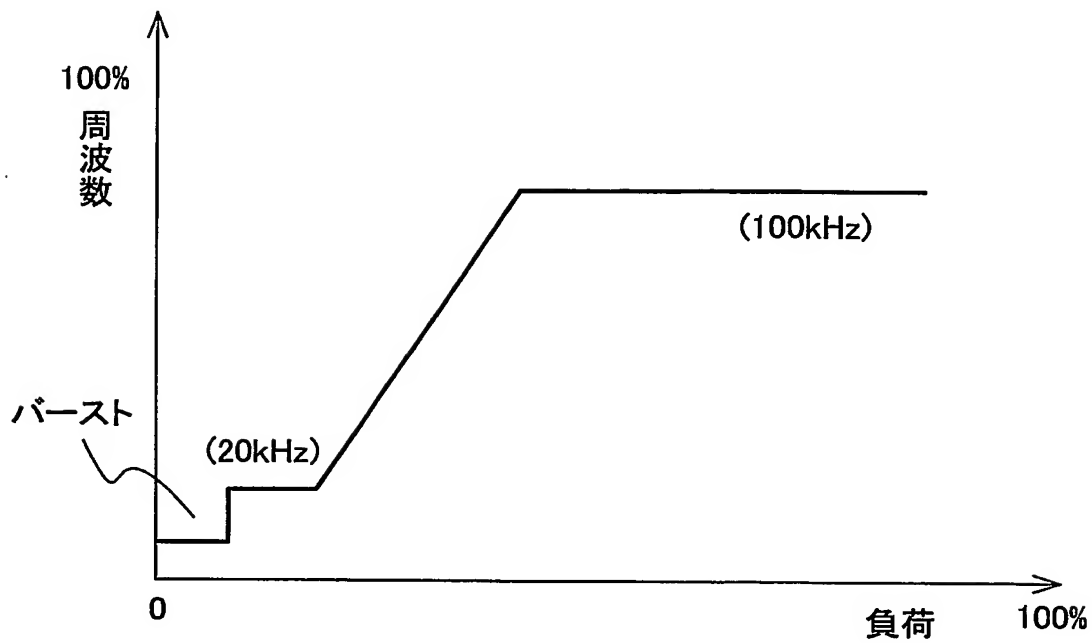


FIG. 11



FIG. 12

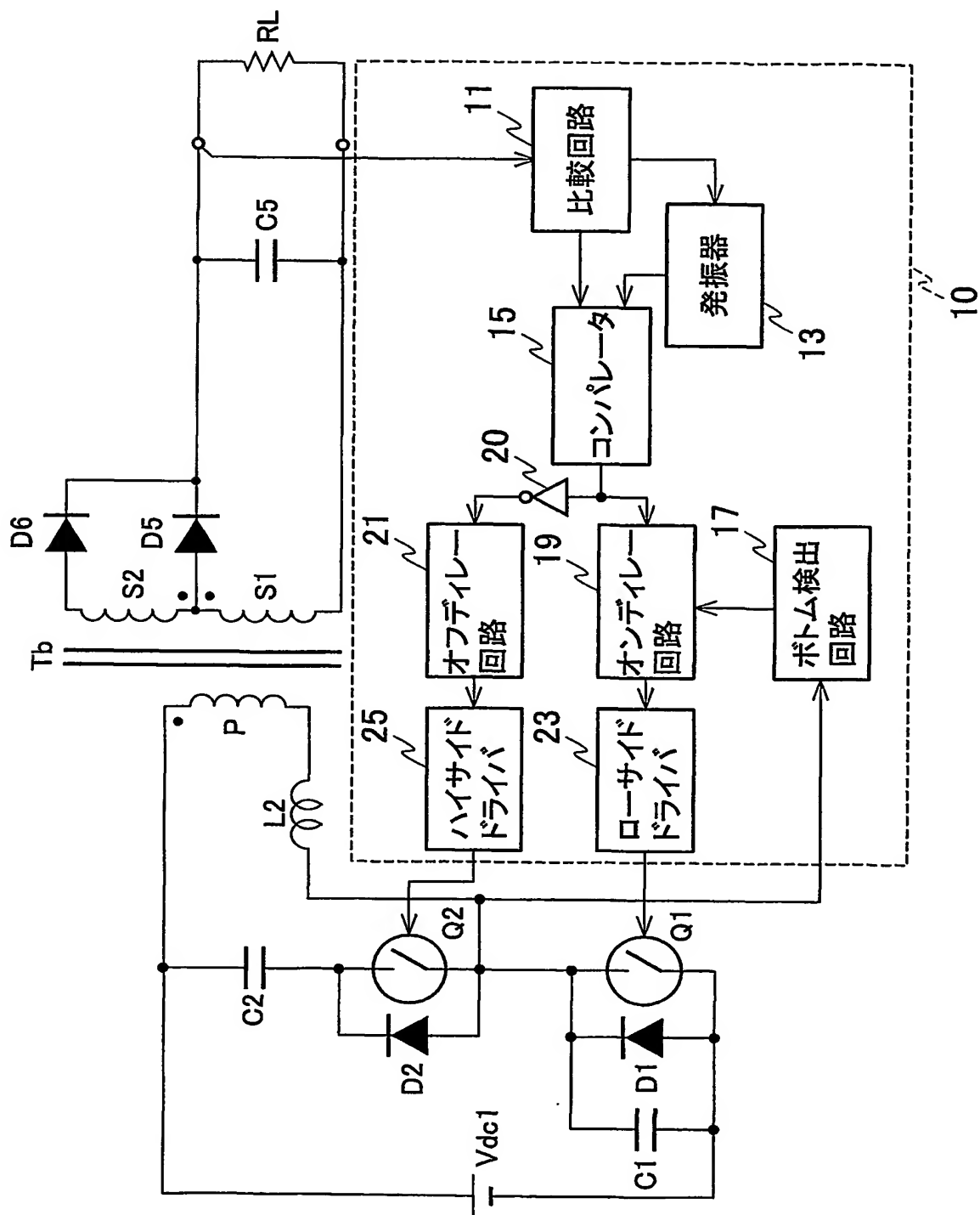


FIG. 13

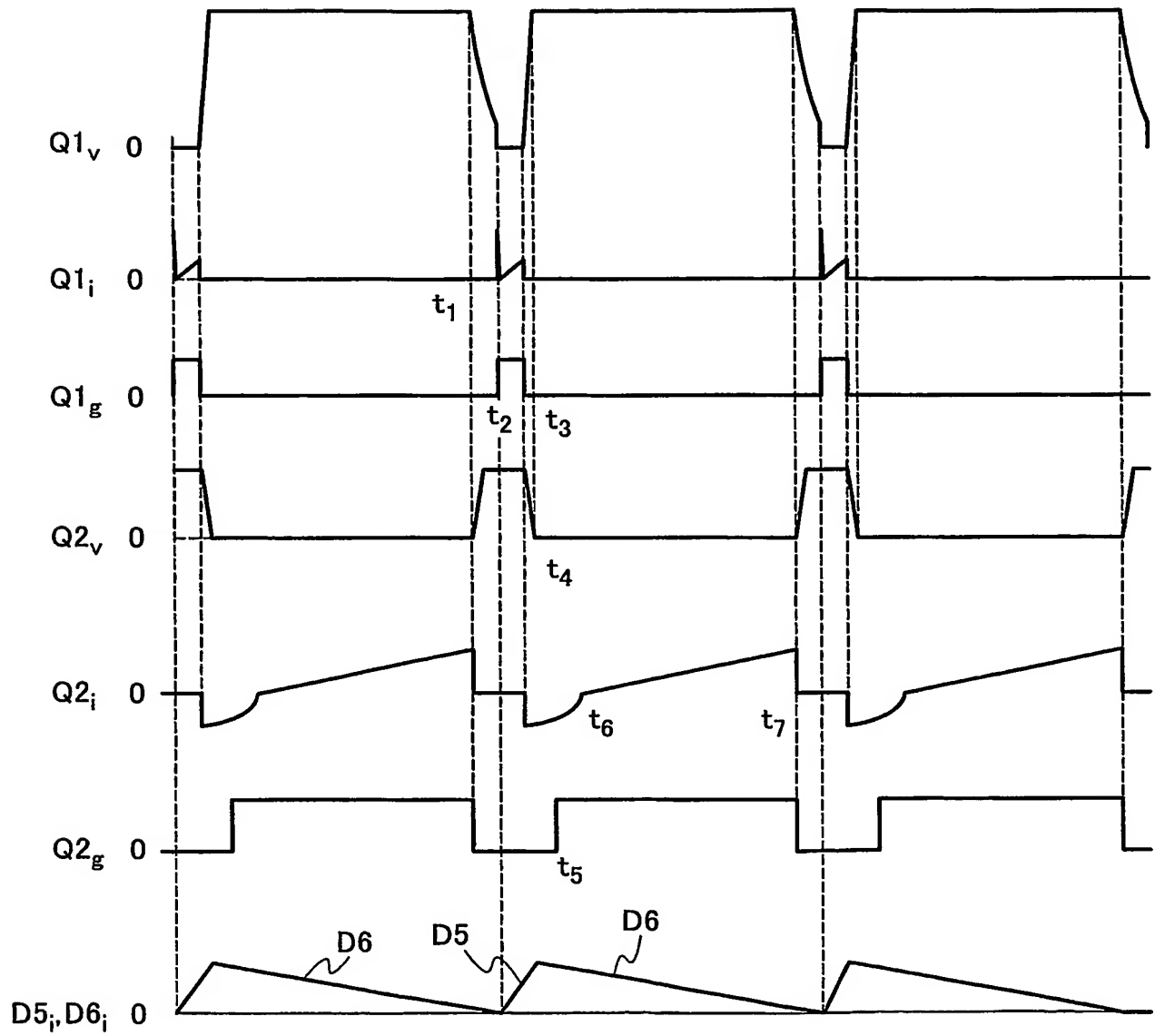
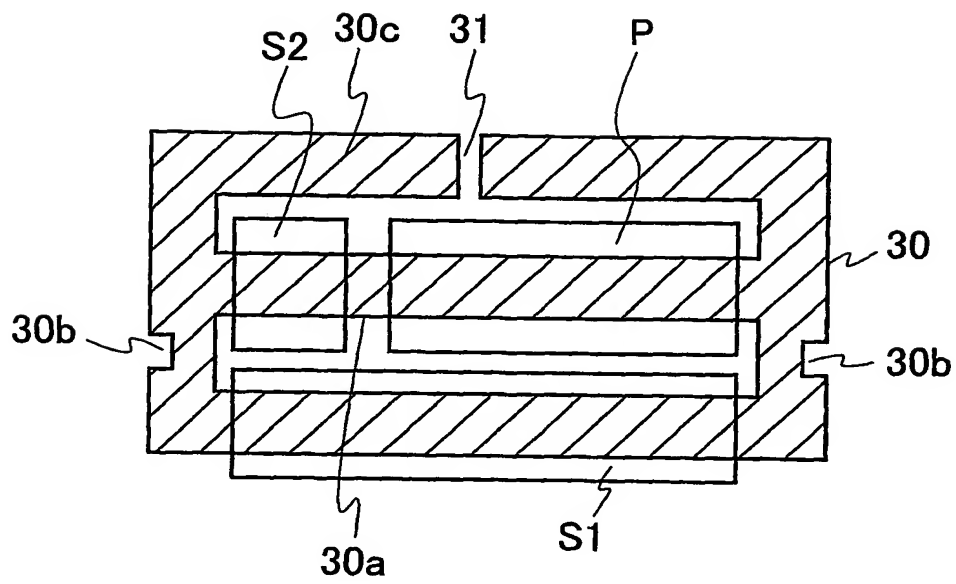


FIG. 14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007902

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H02M3/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H02M3/00-3/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-98831 A (Sharp Corp.),	1
Y	09 April, 1999 (09.04.99), Par. Nos. [0016] to [0062]; Figs. 1 to 14 (Family: none)	2-7
Y	JP 2000-92829 A (Hitachi, Ltd., Hitachi Tohbu Semiconductor, Ltd.), 31 March, 2000 (31.03.00), Par. Nos. [0034] to [0060]; Figs. 1 to 4 (Family: none)	2-7
Y	JP 7-170729 A (Ricoh Co., Ltd.), 04 July, 1995 (04.07.95), Par. Nos. [0014] to [0042]; Figs. 4 to 6 (Family: none)	3-7

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 August, 2004 (20.08.04)Date of mailing of the international search report
07 September, 2004 (07.09.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007902

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-143851 A (Sony Corp.), 16 May, 2003 (16.05.03), Par. Nos. [0054] to [0055]; Figs. 1, 2 (Family: none)	7
A	JP 2002-199719 A (Densei-Lambda Kabushiki Kaisha), 12 July, 2002 (12.07.02); Full text; Figs. 1 to 3 (Family: none)	1-7
A	JP 2001-314079 A (Sony Corp.), 09 November, 2001 (09.11.01), Full text; Figs. 1 to 18 (Family: none)	1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/00-3/44

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 11-98831 A (シャープ株式会社)	1
Y	09.04.1999, 【0016】-【0062】, 図1-14 (ファミリーなし)	2-7
Y	JP 2000-92829 A (株式会社日立製作所, 日立東部セミコンダクタ株式会社) 31.03.2000, 【0034】-【0060】, 図1-4 (ファミリーなし)	2-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

20.08.2004

国際調査報告の発送日

07.9.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3V

2917

電話番号 03-3581-1101 内線 3356

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 7-170729 A (株式会社リコー) 04. 07. 1995, 【0014】 - 【0042】, 図4-6 (ファミリーなし)	3-7
Y	JP 2003-143851 A (ソニー株式会社) 16. 05. 2003, 【0054】 - 【0055】, 図1, 2 (ファミリーなし)	7
A	JP 2002-199719 A (デンセイ・ラムダ株式会社) 12. 07. 2002, 全文, 図1-3 (ファミリーなし)	1-7
A	JP 2001-314079 A (ソニー株式会社) 09. 11. 2001, 全文, 図1-18 (ファミリーなし)	1-7